

早川研究室紹介(2015年9月現在)

はじめに：早川研修室では、安全・安心・低消費電力を目標にコンピュータを応用したシステムを研究している。具体的には、大きく分けて、ARM+FPGAを使用したスマートクラスタシステム、橋の損傷同定システム、およびリハビリ用ロボットの組込み部分(新規)である。これらの研究の概要を説明する。なお、この文章は、基礎研・卒研・専攻科卒研を選ぶ際、参考になるよう作成した。

1 ARM+FPGAを使用したスマートクラスタシステム(専攻科生, 専攻科進学卒研向け)

1.1 研究背景

近年、汎用CPUの低消費電力化や低価格化によって、クラスタシステムが普及している。クラスタシステムとは汎用のPCなどの複数の計算デバイスを並列に接続し、一つの計算機と見立てて演算を行うものである。汎用PCを利用するため、安価に構築できる反面、多くのノードを稼働させるため電気料金や修理費など運用コストが問題となる。

本研究室では、低消費電力でありかつ安価に入手できるARMプロセッサを搭載した組み込み向けコンピュータと、同様に低消費電力として知られているFPGAを組み合わせたSAFHC(Smart ARM+FPGA Heterogeneous-Cluster)を開発中である。従来、組み込み機器向けに開発されてきたARMプロセッサを採用することで、クラスタ全体の消費電力を下げる可以考虑している。

1.2 システム構成

本研究で用いるSAFHCの構成をFig.1に示す。

SAFHCのノードは2つのタイプが存在する。1つは小型のARMプロセッサを搭載した組み込み向けのLinuxコンピューとFPGA評価ボードをEthernetにより接続したノードである。もう1つはIC内にARMプロセッサとFPGAを搭載したZynq7000(米Xilinx)と呼ばれるデバイスを用いたノードである。それぞれのノードをEthernet上で接続することによりクラスタを構成する。Zynq7000とは、Xilinx社が提供するデバイスである。IC内のシステム上にARMデュアルCortex-A9 MPCoreプロセッサ(以下PSと呼ぶ)とProgrammable Logic(以下PLと呼ぶ)としてFPGAを搭載する。プロセッサとPLはARM社が策定しているAMBAというバス規格のAXI4バスで接続されている。

本研究では、PSでLinux OSを動作させる。そして、Linux OS上で実行する数値計算アプリケーションから、AXI4を通しPLに実装する数値計算用の演算器を利用する。

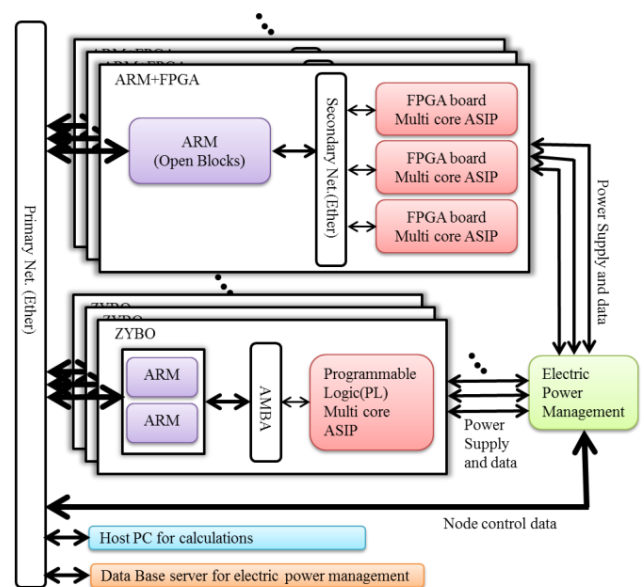


Fig. 1 Organization of SAFHC System

1.3 本システムで行う研究内容

本システムを使用して行う研究は、アプリケーションのハードウェア実装および電力制御機構の実装である。

1.3.1 アプリケーションのハードウェア実装

1.3.1.1 FDTD 法による音波電波解析のハードウェア実装

1つ目のアプリケーションのハードウェア実装として、FDTD 法による音波電波解析における数値計算式のハードウェア実装を考えている。FDTD(Finite Difference Time Domain)法は K.S.Yee によって考案された電磁界を対象とする波動解析手法である。音圧と粒子速度の微分方程式を時間方向と空間方向に差分化し、解析領域内を差分化した時間 Δt ごとに逐次計算することにより音波伝播解析に用いることが出来る。FDTD 法は計算式の逐次計算を行うため、膨大な回数の浮動数演算と大規模な記憶領域を必要とするが、データの依存が時間領域における隣接するデータ同士にしか存在しないため、演算の並列化に向けた手法であることが知られている。しかし、クラスタのノード間の通信量が増えると通信にかかる時間がボトルネックとなり、計算速度が大きく落ちる。そのため、個々のノードが持つ演算性能が重要となる。

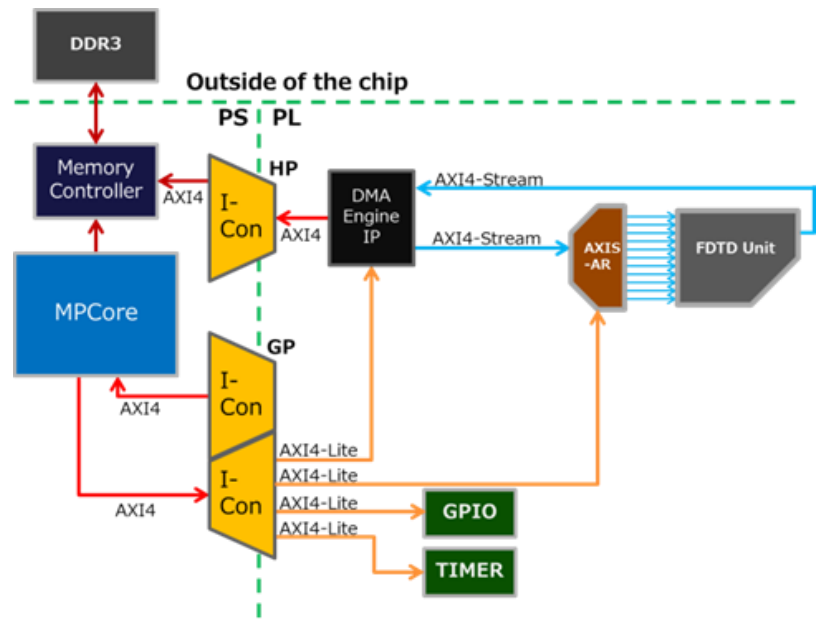


Fig. 2 The connection of processor and programmable logic

PLに実装する演算器と、プロセッサとの接続を Fig.2 に示す。PLに実装する FDTD 法に特化した演算器(図中の FDTD Unit)は、AXI4 Stream というバス規格で DMA 転送用のモジュール(以下 DMA Engine と呼ぶ)を通し、メモリと接続する。DMA 転送の制御は AXI4 lite バスを通し、プロセッサから DMA Engine 内のレジスタを変更することにより行う。AXI4 Stream は DMA Engine を用いることにより、メモリ上のデータをバースト転送することが出来る。そのため、メモリ上のデータを連続して配置すれば1回の演算にかかる時間は、FDTD Unit のスループットとほぼ等しいと見積ることが出来る。

1.3.1.2 モンテカルロシミュレーションのハードウェア実装

2つ目のアプリケーションのハードウェア実装として、モンテカルロシミュレーションにおける乱数生成部のハードウェア実装を考えている。モンテカルロ法とは、乱数を用いたシミュレーションを繰り返し行うことにより、近似解を求める計算手法であり、解析的に解くことが不可能な場合でも近似的に求めることが出来る。モンテカルロ法によるシミュレーションの事例として、物流をシミュレートし、商品の在庫管理を最適に行うシステム、貨幣の流通や金融商品のリスクファクタをシミュレーションして、最適な運用を可能とするシステムなどが挙げられる。

モンテカルロ法では、大量の乱数を必要とすることが多い。その際、乱数の生成速度が遅いとボトルネックとなると考えられる。近年、ARM プロセッサを搭載した FPGA が登場し、ARM と FPGA が連携したシステムが主流になると推測される。そこで、本研究では、モンテカルロシミュレーションシ

システムの乱数生成部分に焦点を当て、ARM+FPGA での乱数生成システムを研究している。

本研究では、本研究室で設計した $2^{19937} - 1$ の周期をもつ SIMD-oriented Fast Mersenne Twister (以下 SFMT) の疑似乱数生成アルゴリズムを使用したモジュールを使用する。このアルゴリズムでは 128 ビットの初期乱数 X を 156 個用意する必要がある。(i-1) 番目までの乱数がすでに生成されており、新たな i 番目の乱数を求める。

Fig. 3 に回路構成図を示す。この回路は 32 ビットの乱数の種を外部から seed に取得し、その種から sfmt_init_gen_rand モジュールで 128 ビットの初期乱数を 156 個生成し、gen_rand_array モジュールでのアルゴリズムにより乱数を生成する。sfmt_init_gen_rand モジュールでは、線形合同法をもとにしたアルゴリズムを用いているため、生成された初期乱数に偏りが生じる場合がある。偏りがあると SFMT 本体の品質が悪くなるため、初期乱数が適切であるか確認し、適切でなければ調整を行う period_certification モジュールを設けた。生成された乱数は bit128memory に格納される。この時 4 つのメモリの同じアドレスには同じ値が格納される。生成された乱数は 32 ビットに 4 分割され array_0~array_3 に出力される。

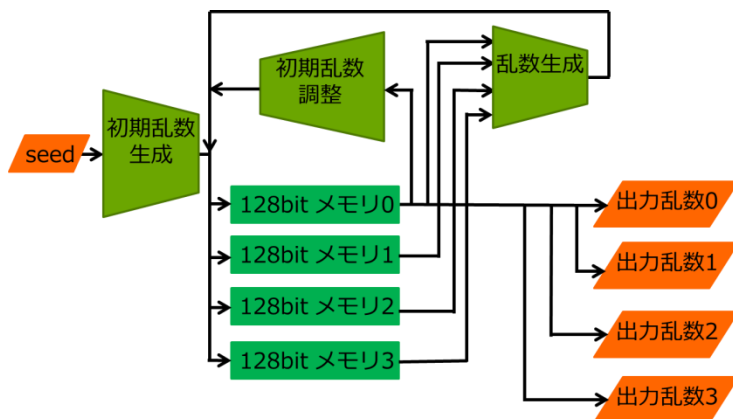


Fig. 3 Organization of the random number

1.3.2 電力制御機構

SAFHC では、計算ノードに省電力の FPGA を使用し、電力効率を上げるだけでなく、計算ノード及びオフィスの電力使用量を測定し、その電力使用量によって、計算ノードの稼働台数を制御して、電力の平準化を行う。そうすることで、運用コストを抑え、小規模な研究室や中小企業にも導入しやすいクラスターシステムを目指している。本研究で製作する電力制御機構の構成を Fig.4 に示す。FPGAboard には FPGA、制御回路および電力計測回路が含まれており、電力計測回路は、各 FPGA に一台搭載され、FPGA の電力を測定する。mbed は一定時間ごとに各 FPGAboard に電力データ送信要求命令を送信し、各 FPGA の電力データを収集する。その後、mbed が電力管理サーバにデータ送信を行う。電力管理サーバから mbed にオフィス内電力量を送信する際、送信が実行できる状態を確認してから送信を行う。

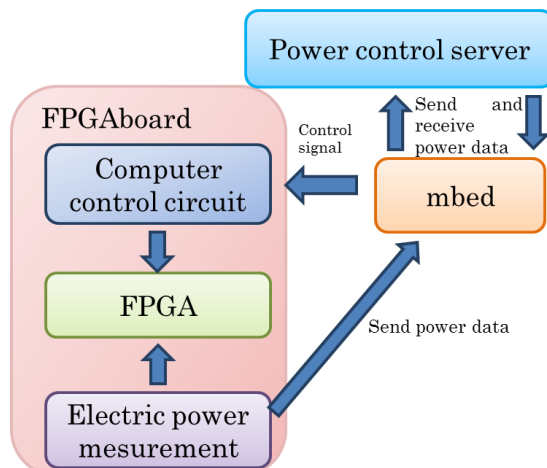


Fig. 4 Composition of the power control

FPGA の電力測定には、Allegro 社製の電力計 IC、ACS714 を使用する。ADE714 は、電流によって発生する磁力を、ホール素子で検知し、通過する電流に比例する電圧を出力することができる。mbed は ACS714 が出力した電圧を読み取る。各 FPGA の ON/OFF は、mbed が制御信号を送信し、MOSFET を用いた制御回路を介して、FPGA を個別に制御している。また、全ての FPGA が OFF 状態にある時は供給源である ATX 電源自体を OFF にする。ATX 電源は、電源の ON/OFF を制御する PS_ON を備えている。PS_ON を low レベルにすることで電源が ON になる。これを利用し、FPGA の処理終了

後、PS_ON に Low レベルの信号を送ることで、電源の起動・停止を行う。

電力管理サーバには、電力データを保存する電力管理データベースが実装されている。データベースにはリレーショナル・データベース管理システムである MySQL を利用する。電力管理データベースは、各計算ノードの電力データを追加する「ノード電力テーブル」、mbed から電力管理サーバに電力データが送信された時間を追加する「時間管理テーブル」、計算ノード以外のオフィス内の電力と測定された時間を追加する「オフィス内電力テーブル」と FPGA の ON/OFF 状態に変化が起こった時、その時の FPGA の番号、変化後の FPGA の状態、変化した時間を追加する「ノード状態テーブル」の 4 つから構成される。

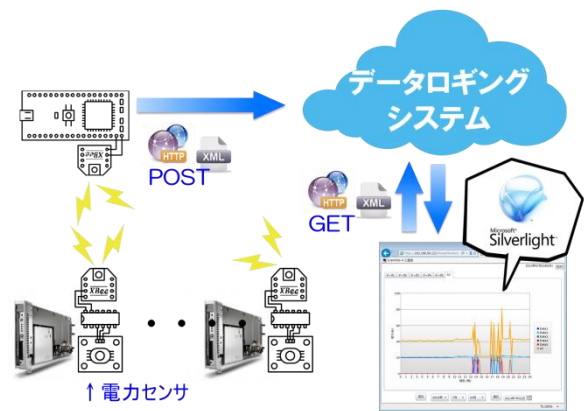


Fig. 5 Image of the Database server

2 橋の損傷同定システム（専攻科生，専攻科進学卒研生向け）（北海学園大学小幡教授，和田先生，青木先生と共同研究）

2.1 背景

日本の社会基盤構造物の老朽化は深刻な社会的問題であり、早急な対応が求められている。老朽化した構造物は補修，補強が施され，構造物の長寿命化が図られている。構造物の長寿命化の実現には日々の点検や維持管理が重要であるが，現在，それは目視や打音によるものが主流であり，誰でも簡単に診断可能なシステムが求められている。

先行研究では，圧電素子を振動センサーとして用い，構造物に加わる振動を計測することで，損傷箇所の特定がある程度可能であるという研究結果が得られている。また，組み込みマイコンや FPGA 等を用いた安価なヘルスマonitoringシステムの構築が可能であると報告されている。そこで，低消費電力な損傷センサーシステムについて研究を行う。

2.2 システム構成

本システムの構成を Fig. 6 に示す。本システムは，複数の計測モジュールと，収集モジュールおよびサーバーで構成される。橋梁などの構造物に複数の計測モジュールと，収集モジュールを設置する。各計測モジュールと収集モジュールは自律的にセンサーネットワークを構築し，波形計測によって得られた情報を収集する。収集された情報は，クラウド上にあるサーバーへ自動的にアップロードされる。本システムを全国各地にある橋梁に設置することで，各橋梁の損傷状態を一元管理する。

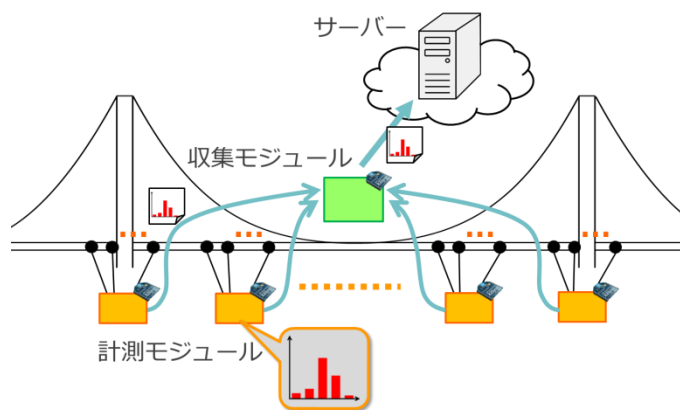


Fig. 6 damage identification health monitoring system

計測モジュールには圧電素子が接続されており，波形計測と計測データのスペクトル解析を行う。このスペクトル解析を行うために FPGA を用いる。FPGA はハードウェア記述言語を用いて任意の論理機能を実装できるデバイスで，CPU と比べて省電力である。本システムでは FPGA に高速フーリエ変

換(Fast Fourier Transform)を実装することで、省電力なスペクトル解析を実現する。収集モジュールとの通信には低消費電力で通信を行える Xbee Series1 を用いる。

3 リハビリロボットの研究（新規：予定）（卒研生向け）（大阪電気通信大学 古荘教授と共同研究）

3.1 背景

近年、社会の高齢化に伴い脳卒中患者は増加する傾向にあり、2006年度の厚生労働省の調べによると脳卒中有病者数は今後も増え続け、ピーク時の2020年には現在より15万人多い288万人にも達すると推測されている。その多くは後遺症として運動障害を発症しており、理学療法士、作業療法士によるリハビリテーションの重要度は増す一方である。従来、脳卒中に伴う運動機能障害の回復は約6ヶ月でプラトー（頭打ち）に達すると言われてきた。しかしながら、近年のニューロリハビリテーションの研究において、慢性期の患者においても脳の可塑性によって運動機能等の回復が可能であることが証明された。また、運動機能の回復 ADL(Activities of Daily Living)の改善には相関が大きいことなどを受け、今後はリハビリテーションの質、および継続の重要性はますます増加していくことが考えられる。このような状況において近年、ロボット技術、VR技術を応用したリハビリテーション・福祉機器が提案され、同分野における問題解決の一役を担うことが期待されている。

そこで、本研究室では、大阪電気通信大学客員教授で元大阪大学教授の古荘純次先生のもと、リハビリテーション支援システムを開発する予定である。

3.2 システム構成

リハビリテーション支援システムの構成を Fig.7 に示す。訓練者は椅子に座った状態でロボットのアーム先端（ハンドル部）をにぎり、ディスプレイに映された仮想平面の中で訓練やゲームなどを行う。システムは力覚提示装置であるので、物を押す感覚や速度に比例する抵抗感覚などを提示できる。本研究室では、ゲームなどのディスプレイ表示システムを OpenGL などのライブラリを使用して開発することを考えている。

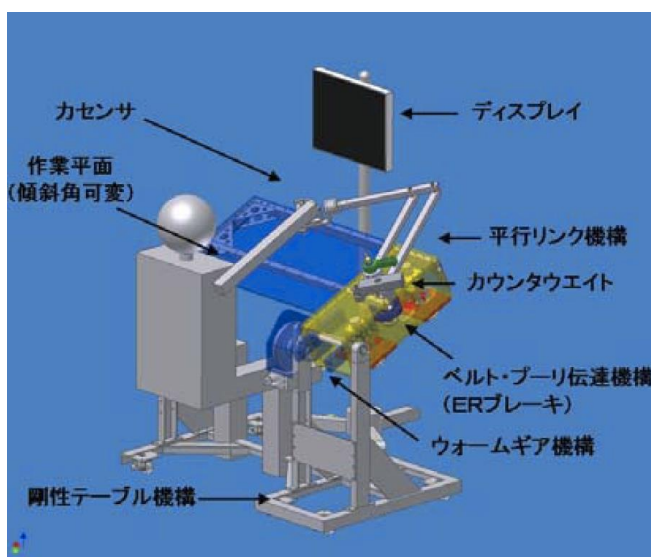


Fig.7 Outline of the Rehabilitation system